

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

---

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11163334 A**

(43) Date of publication of application: **18 . 06 . 99**

(51) Int. Cl. **H01L 29/78**  
**H01L 29/786**

(21) Application number: **09327632**

(22) Date of filing: **28 . 11 . 97**

(71) Applicant: **FURUKAWA ELECTRIC CO  
LTD:THE**

(72) Inventor: **YOSHIDA KIYOTERU**

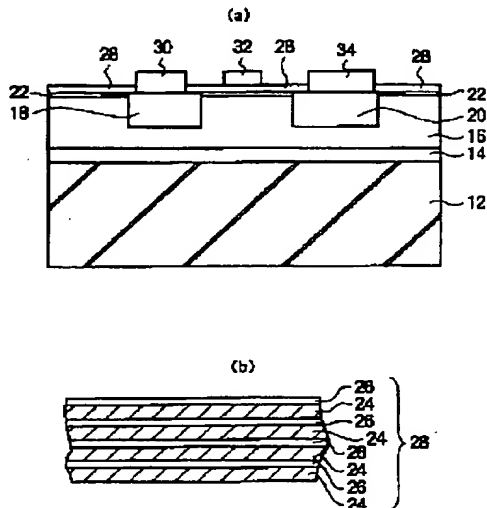
**(54) GAN INSULATED GATE TYPE TRANSISTOR AND  
FORMING METHOD THEREOF**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a GaN MISFET which operates stably at high temperatures.

**SOLUTION:** This GaN insulated gate type transistor consists of a metal gate - a gate insulating film - a GaN semiconductor layer, and the gate insulating film 28 is formed by a laminating structure of diamond layers 24 having high resistance and Al-rich AlGaN layers 26. The transistor has a p-type buffer layer 14, a p-type AlGaN layer 16, source/drain regions 18, 20 embedded and formed on the upper section of the AlGaN layer and consisting of an n-type AlGaN layer and a heavily carbon-doped AlGaN layer 22 formed as the adhesive layer of the diamond layer in at least a gate electrode region successively formed onto a p-type semi-insulating substrate 12. The insulating film 28 is formed onto the adhesive layer.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163334

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 29/78  
29/786

H 0 1 L 29/78

3 0 1 G  
6 1 7 U  
6 1 8 B  
6 2 6 C

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平9-327632

(22) 出願日

平成9年(1997)11月28日

(71) 出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72) 発明者 吉田 清輝

東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

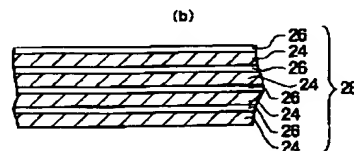
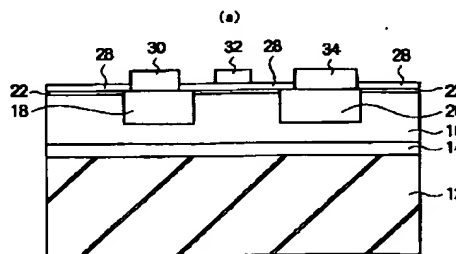
(74) 代理人 弁理士 稲垣 清 (外2名)

(54) 【発明の名称】 GaN系絶縁ゲート型トランジスタ及びその形成方法

(57) 【要約】

【課題】 高温で安定して動作するGaN系MISFETを提供することである。

【解決手段】 本発明のGaN系絶縁ゲート型トランジスタ10は、金属ゲートゲート絶縁膜-GaN系半導体層からなるGaN系絶縁ゲート型トランジスタであって、ゲート絶縁膜28が、高抵抗のダイヤモンド層24と、AlリッチAlGaN層26との積層構造により形成されている。トランジスタは、p型半絶縁性基板12上に、順次、形成されたp型バッファ層14と、p型AlGaN層16と、AlGaN層上部に埋め込み形成されたn型AlGaN層からなるソース/ドレイン領域18、20と、少なくともゲート電極領域にはダイヤモンド層の密着層として形成された高濃度カーボンドーパのAlGaN層22とを備えている。絶縁膜28は密着層上に形成されている。



- 10 実施形態例の絶縁ゲート型半導体装置  
12 p型半絶縁性基板  
14 p型 GaN バッファ層  
16 p型 AlGaN 層  
18, 20 ソース/ドレイン領域  
22 高濃度でカーボンドーパした AlGaN 層  
24 ダイヤモンド層  
26 Al リッチ AlGaN 層  
28 積層絶縁膜  
30, 32, 34 Ti/Al 電極

## 【特許請求の範囲】

【請求項1】 金属ゲートゲート絶縁膜-GaN系半導体層からなるGaN系絶縁ゲート型トランジスタにおいて、

ゲート絶縁膜が、高抵抗のダイヤモンド層と、GaN系高抵抗性半導体層との積層構造により形成されていることを特徴とするGaN系絶縁ゲート型トランジスタ。

【請求項2】 第1の導電型の半導体基板と、第1の導電型の半導体基板上に形成された第1の導電型のGaN系半導体層と、第1のGaN系半導体層上部に埋め込み形成された第2の導電型のGaN系半導体層からなるソース/ドレイン領域と、少なくともゲート領域上に形成されている、ダイヤモンド層とのGaN系密着層とを備え、ゲート絶縁膜が密着層上に形成されていることを特徴とする請求項1に記載のGaN系絶縁ゲート型トランジスタ。

【請求項3】 第1の導電型の半導体基板上に第1の導電型のGaN系半導体層を形成する工程と、第1の導電型のGaN系半導体層をエッチングして、その上部にソース/ドレイン領域形成部を凹部状に形成する工程と、凹部状のソース/ドレイン領域形成部内に第2の導電型のGaN系半導体層を選択的に埋め込み成長させる工程と、少なくともゲート電極形成領域にダイヤモンド層との密着層として、高濃度でカーボンドーパされた薄い膜厚のGaN系半導体層を選択的に成長させる工程と、密着層上に、ダイヤモンド層とGaN系絶縁層との積層構造の絶縁膜を選択的に形成する工程とを有することを特徴とするGaN系絶縁ゲート型トランジスタの形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、GaN系絶縁ゲート型トランジスタに関し、更に詳細には、高温で安定して動作するGaN系絶縁ゲート型トランジスタに関するものである。

## 【0002】

【従来の技術】金属ゲートゲート絶縁膜-半導体層からなる絶縁ゲート型トランジスタ、即ちMISFETは、従来、シリコン系材料を使用したものが多く開発、実用化されている。シリコン系MOSFETは、MISFETの一種であって、例えば半導体層にSi基板を、絶縁層にSiO<sub>2</sub>膜を、及び金属電極にポリシリコン電極を使用している。シリコン系MOSFET40を形成する場合には、例えば、図5に示すように、p型Si半導体を基板42として用い、ソース/ドレイン電極形成領域の半導体基板層にn型不純物を拡散させてn<sup>+</sup>反転層44を形成する。次いで、半導体基板全面を酸化し

て、半導体基板面にSiO<sub>2</sub>膜46を形成する。次に、フォトリソグラフィ及びエッチング技術を用いて、SiO<sub>2</sub>膜をパターンニングして、ゲート電極形成領域にのみSiO<sub>2</sub>膜を残し、ソース、ドレイン電極を形成領域のSiO<sub>2</sub>膜を除去する。このようなパターンニングを行った後、SiO<sub>2</sub>膜46上にソース電極48を、反転層44上にそれぞれドレイン電極50及びゲート電極52を形成する。

## 【0003】

【発明が解決しようとする課題】化合物半導体のMIS(金属-絶縁層-半導体)構造を持つ電界効果型トランジスタの開発が、最近、盛んに行われているものの、GaAs系MISFETの開発が主流となっており、GaAsよりも高温で動作可能であり、しかも耐放射線性に優れるGaN、AlGaNなどのワイドギャップ半導体系のGaN系MISFETは、今のところその開発が緒についたばかりであって、その形成プロセスは確立されていない。また、従来、特にゲート絶縁膜にどのような材料がこのまじいのかが問題であった。

【0004】そこで、本発明の目的は、高温で安定して動作するGaN系MISFETを提供することである。

## 【0005】

【課題を解決するための手段】ダイヤモンドは、バンドギャップエネルギーが5.5eVと大きく、不純物が添加されていないダイヤモンドはほぼ絶縁体と評価できる高抵抗体になる。また、AlNはバンドギャップエネルギーが6.2eVと大きく、AlリッチのAlGaNも高抵抗になる。このAlGaNとダイヤモンドとを積層した積層膜は、それぞれの層における貫通転位を防ぐことができ、漏れ電流のない高絶縁性の良好な絶縁層に形成することができる。そこで、本発明者は、高抵抗ダイヤモンドとAlGaNとを積層した積層構造絶縁膜をゲート絶縁膜とするGaN系MISFETを着想し、実験を重ねて本発明を完成するに至った。

【0006】よって、上記目的を達成するために、本発明に係るGaN系絶縁ゲート型トランジスタは、金属ゲートゲート絶縁膜-GaN系半導体層からなるGaN系絶縁ゲート型トランジスタにおいて、ゲート絶縁膜が、高抵抗のダイヤモンド層と、GaN系高抵抗性半導体層との積層構造により形成されていることを特徴としている。GaN系高抵抗性半導体層は、例えばAlリッチAlGaN層を使用することにより実現できる。

【0007】本発明に係るの好適な実施態様は、第1の導電型の半導体基板と、第1の導電型の半導体基板上に形成された第1の導電型のGaN系半導体層と、第1のGaN系半導体層上部に埋め込み形成された第2の導電型のGaN系半導体層からなるソース/ドレイン領域と、少なくともゲート領域上に形成されている、ダイヤモンド層とのGaN系密着層とを備え、ゲート絶縁膜が密着層上に形成されている。本発明で使用するGaN系

半導体層には、AlGaIn層、InGaIn層、GaIn層、InGaAlIn層等がある。

【0008】本発明に係るGaIn系絶縁ゲート型トランジスタの形成方法は、第1の導電型の半導体基板上に第1の導電型のGaIn系半導体層を形成する工程と、第1の導電型のGaIn系半導体層をエッチングして、その上部にソース/ドレイン領域形成部を凹部状に形成する工程と、凹部状のソース/ドレイン領域形成部内に第2の導電型のGaIn系半導体層を選択的に埋め込み成長させる工程と、少なくともゲート電極形成領域にダイヤモンド層との密着層として、高濃度でカーボンドーパされた薄い膜厚のGaIn系半導体層を選択的に成長させる工程と、密着層上に、ダイヤモンド層とGaIn系絶縁層との積層構造の絶縁膜を選択的に形成する工程とを有することを特徴としている。

【0009】例えば、デバイスとしての活性層となる半導体層は、p型GaIn系エピタキシャル層を予め基板全面に形成しておき、次にソース/ドレイン領域となる部分に選択成長法によりn型GaInを選択成長させ、更に選択成長法を用いてゲート電極領域にゲート絶縁膜として、ダイヤモンド層とAlリッチAlGaIn層とを交互に成長させる。

#### 【0010】

【発明の実施の形態】GaIn、InGaIn、AlGaIn膜等のナイトライド系の半導体は、ワイドバンドギャップ半導体として、Siなどをドーパントとして用いられ、容易にn型の半導体層になって、電子デバイスの活性層に用いることができるので、絶縁ゲート型トランジスタのソース/ドレイン領域として用いることができる。また、ダイヤモンド層とAlリッチAlGaIn層とを積層させたものをゲート絶縁膜として用いる。p型半導体領域にn型半導体領域を局部的に形成する際、Si系半導体ではイオン注入法が一般的に用いられているが、GaIn系ではイオン注入法によりイオン注入しても、キャリアとして活性化するのが、非常に難しく、今までのところ、イオン注入の成功報告は見当たらない。そこで、本発明では、p型半導体層内に形成した凹部にn型半導体層を選択成長法により形成することにより、活性な領域を容易に形成することができる。以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

#### 【0011】実施形態例

本実施形態例は、本発明に係る絶縁ゲート型半導体装置の実施形態の一例であって、図1(a)は本実施形態例の絶縁ゲート型半導体装置の層構造を示す基板断面図、図1(b)は本実施形態例の絶縁ゲート型半導体装置の積層構造のゲート絶縁膜を示す断面図である。本実施形態例の絶縁ゲート型半導体装置10(以下、簡単に半導体装置10と言う)は、図1(a)に示すように、サファイア等のp型半絶縁性基板12と、基板12上に、順

次、分子線エピタキシャル成長法により成膜されたp型GaInバッファ層14と、p型AlGaIn層16とを備えている。また、半導体装置10は、p型AlGaIn層16の上部に埋め込み形成されたn型AlGaIn層からなるソース/ドレイン領域18、20と、上層のダイヤモンド層とp型AlGaIn層16との結晶のつながりを良くするためにソース/ドレイン領域18、20以外の領域に設けられた $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度でカーボンドーパした膜厚50Å程度のAlGaIn層22とを備えている。更に、半導体装置10は、ゲート絶縁膜として、AlGaIn層22上に選択的に成長させた、膜厚50Åのダイヤモンド層24と、膜厚30Åの絶縁性の高いAlリッチAlGaIn層26との積層構造を周期的に繰り返して膜厚500Åの積層絶縁膜28を備えている。ソース/ドレイン領域18、20のn型AlGaIn層上及びゲート電極領域のゲート絶縁膜28上には、Ti/Al電極30、32、34が、それぞれ、設けられている。

【0012】以下に、図2～図4を参照して、本実施形態例の半導体装置10の形成方法を説明する。図2

(a) から (c)、図3 (d) から (f)、及び図4

(g) と (h) は、各工程毎の基板断面図である。超高真空中に維持できるエピタキシャル成長装置を使い、反応ガスとして分圧 $3 \times 10^{-6} \text{ Torr}$ のジメチルヒドラジンと分圧 $5 \times 10^{-7} \text{ Torr}$ のGaを用いて分子線エピタキシャル成長法により、成長温度640℃で、先ず、図2(a)に示すように、成長室内の基板12上に膜厚50nmのGaInバッファ層14をエピタキシャル成長させる。更に、反応ガスとして分圧 $1 \times 10^{-6} \text{ Torr}$ のトリメチルガリウム(TMGe)、分圧 $5 \times 10^{-7} \text{ Torr}$ のトリメチルアルミニウム(TMA)、及び分圧 $5 \times 10^{-5} \text{ Torr}$ のアンモニアを用い、かつドーパントとして分圧 $5 \times 10^{-8} \text{ Torr}$ のMgを用いて、成長温度850℃で、GaInバッファ層14上に膜厚300nmのp型AlGaIn層16を形成する。

【0013】次に、GaInバッファ層14とp型AlGaIn層16とを有する基板12を成長室から取り出して、図2(b)に示すように、SiO<sub>2</sub>等の酸化膜17を基板面に成膜し、ソース/ドレイン領域18、20が露出するように、フォトリソグラフィ及びエッチングにより酸化膜をパターンニングしてマスク17を形成する。続いて、そのマスク17を用いて、図2(c)に示すように、プラズマエッチングによりソース/ドレイン領域18、20のp型AlGaIn層16を選択的にエッチングして、ソース/ドレイン領域形成部19、21を深さ2000Åの凹部状に形成する。エッチングガスには、メタン、アルゴン及び水素の混合ガスをプラズマ化したものを用いる。

【0014】次いで、図3(d)に示すように、p型AlGaIn層16を選択的にエッチングした形成した凹部

10

20

30

40

50

19、21にn型AlGaInを選択的に埋め込み成長させる。即ち、反応ガスとして分圧 $1 \times 10^{-6}$ TorrのGa、分圧 $5 \times 10^{-7}$ TorrのAl、分圧 $5 \times 10^{-5}$ Torrのアンモニアを用い、かつドーパントとして分圧 $5 \times 10^{-8}$ TorrのSiを用いて、マスク17を使って選択的に、成長温度850℃で、厚さ2000Åのn型AlGaIn層18、20を埋め込み成長させる。

【0015】次に、マスク17を除去し、図3(e)に示すように、基板上にSiO<sub>2</sub>膜を成膜し、続いてフォトリソグラフィ及びエッチングによりパターンニングして、ソース/ドレイン領域18、20を覆うマスク23を形成する。次いで、図3(f)に示すように、上層のダイヤモンド層と下層のp型AlGaIn層16との結晶のつながりを良くするために、 $1 \times 10^{19} \text{cm}^{-3}$ 以上の高濃度でカーボンドーパした、50Å程度の極薄いAlGaIn層22を、マスク23でマスクしたソース/ドレイン領域18、20以外の領域に、ジメチルヒドラジン、Ga及びジメチルアルミニウムハイドライドを用いて、選択的に成長させる。

【0016】続いて、図4(g)に示すように、マスク23を載せたまま、マスク23でマスクしたソース/ドレイン領域18、20以外の領域に絶縁層として50Å程度の膜厚のダイヤモンド層24を選択的に成長させる。ダイヤモンド層24の形成に際しては、基板温度を850℃に維持し、97容量%水素に3%容量メタンを混ぜた圧力30Torrの混合ガスを20sccmの流量で流し、2300℃に加熱したフィラメントにガスを接触させる。加熱フィラメントに接触した混合ガスは、分解し、ラジカル化した炭素系ガスが基板上に蒸着してダイヤモンド層24を形成する。

【0017】次いで、図1(b)に示すように、ジメチルヒドラジン、Ga及びジメチルアルミニウムハイドライドを用い、絶縁層の結晶性を向上させる事を目的として選択的に膜厚30Åの絶縁性AlリッチAlGaIn層26をダイヤモンド層24上に成長させる。更に、図1(b)に示すように、AlリッチAlGaIn層26上に膜厚50Åのダイヤモンド層24を成長させる。膜厚50Åのダイヤモンド層24と膜厚30ÅのAlリッチAlGaIn層26とからなる積層構造を周期的に繰り返し成長させることによって、500Å程度の積層構造の絶縁膜28を選択的に形成する。マスク23上にも多結晶のダイヤモンドが積層するので、積層構造の絶縁膜28を形成した後、HFを用いて、図4(h)に示すように、SiO<sub>2</sub>のマスク23を除去すると、マスク23上に堆積した多結晶ダイヤモンドは、リフトオフされて除去される。

【0018】このようにして、積層構造の絶縁膜28を形成した後、基板面にTi/Al電極を蒸着し、更にパターンニングして、ソース/ドレイン領域、ゲート領域に

電極30、32、34を形成する。このようにして、図1(a)に示すような、絶縁ゲート型トランジスタの半導体装置10を形成した。本実施形態例と同じようにして半導体装置を試作し、評価試験を行ったところ、300℃の加熱状態でも、トランジスタ特性は劣化せず、高温での安定した動作を確認することができた。

【0019】本実施形態例では、AlGaInを用いたが、InGaIn、GaIn、InGaAlInを用いても良い。

#### 10 【0020】

【発明の効果】本発明によれば、高抵抗のダイヤモンド層と、GaIn系高抵抗性半導体層との積層構造でゲート絶縁膜を形成することにより、高温で安定して動作する高性能のGaIn系絶縁ゲート型トランジスタを形成することができる。

#### 【図面の簡単な説明】

【図1】図1(a)及び(b)は、それぞれ、本実施形態例の絶縁ゲート型半導体装置の層構造を示す基板断面図及び本実施形態例の絶縁ゲート型半導体装置の積層構造の絶縁膜を示す断面図である。

【図2】図2(a)から(c)は、それぞれ、本実施形態例の半導体装置の各工程毎の基板断面図である。

【図3】図3(d)から(f)は、それぞれ、図2(c)に続く、本実施形態例の半導体装置の各工程毎の基板断面図である。

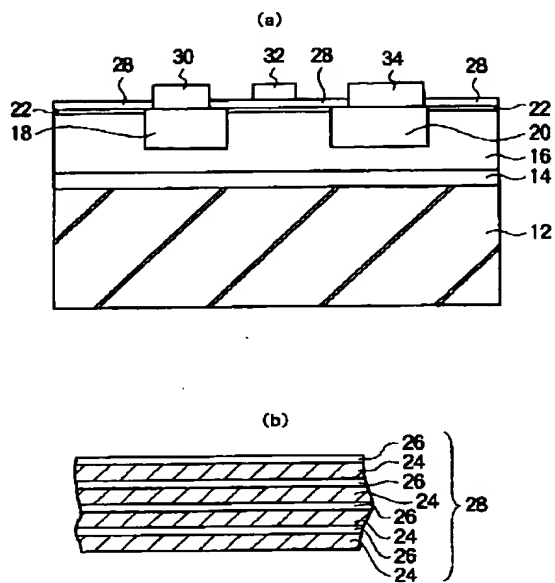
【図4】図4(g)と(h)は、それぞれ、図3(f)に続く、本実施形態例の半導体装置の各工程毎の基板断面図である。

【図5】シリコン系MOSFETの構成を示す基板断面図である。

#### 【符号の説明】

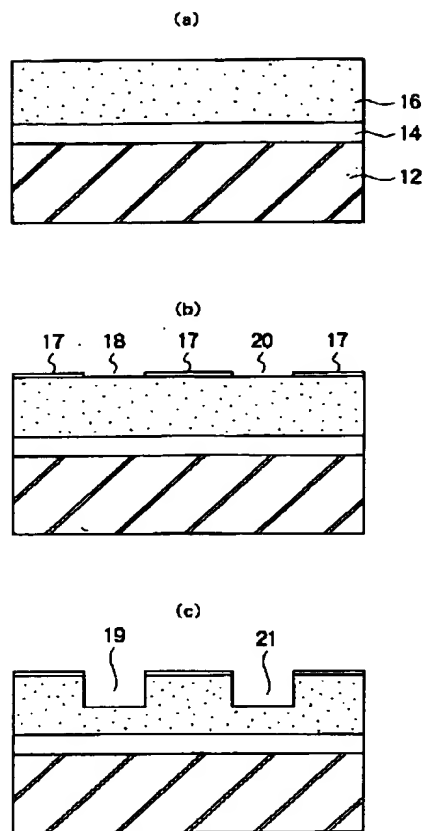
- 10 実施形態例の絶縁ゲート型半導体装置
- 12 p型半絶縁性基板
- 14 p型GaInバッファ層
- 16 p型AlGaIn層
- 18、20 ソース/ドレイン領域
- 22 高濃度でカーボンドーパしたAlGaIn層
- 24 ダイヤモンド層
- 26 AlリッチAlGaIn層
- 28 積層絶縁膜
- 30、32、34 Ti/Al電極
- 40 シリコン系MOSFET
- 42 p型Si半導体基板
- 44 n<sup>+</sup>反転層
- 46 SiO<sub>2</sub>膜
- 48 ソース電極
- 50 ドレイン電極
- 52 ゲート電極

【図1】

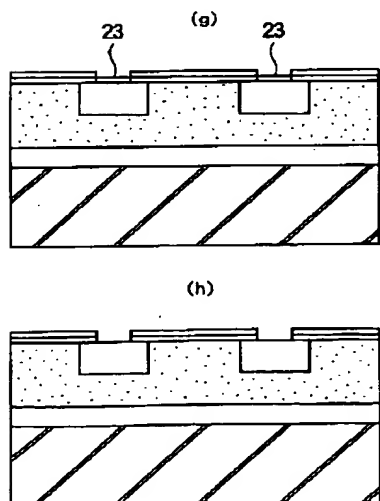


- 10 実施形態の絶縁ゲート型半導体装置  
 12 p型半導性基板  
 14 p型 GaN バッファ層  
 16 p型 AlGaIn 層  
 18, 20 ソース/ドレイン領域  
 22 高温でカーボンドーピングした AlGaIn 層  
 24 ダイヤモンド層  
 26 Al リッチ AlGaIn 層  
 28 積層絶縁膜  
 30, 32, 34 Ti/Al 電極

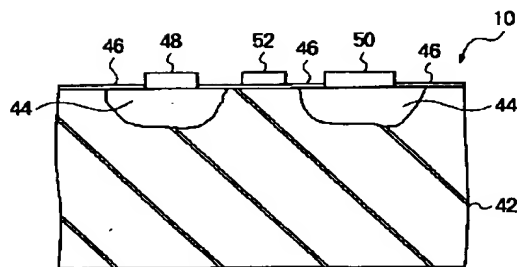
【図2】



【図4】



【図5】



【図3】

